

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-368543

(43)Date of publication of application : 20.12.2002

(51)Int.Cl. H03D 7/00  
H03H 17/00  
H03H 17/02

(21)Application number : 2001-170502

(71)Applicant : NIPPON TELEGR & TELEPH CORP  
<NTT>

(22)Date of filing : 06.06.2001

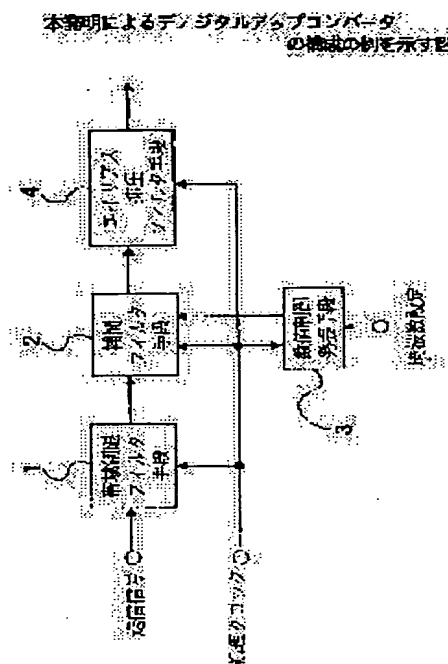
(72)Inventor : SHIRATO YASUSHI

## (54) DIGITAL UP-CONVERTER

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a digital up-converter which transmits a broadband signal and is realized by hardware with a simple configuration concerning a method for constituting the digital up-converter to be the configuration element of software radio equipment.

**SOLUTION:** The digital up-converter is constituted by providing a band limit filter means for limiting a band with respect to an inputted signal, a numerical value control oscillating means for generating a symbol timing signal based on a set value, an interpolation filter means for adopting the output of the band limit filter means as an input and converting the symbol rate based on the timing signal which is generated by the numerical control oscillating means and an unnecessary higher harmonic (alias) restricting filter means for receiving the output of the interpolation filter means.



## LEGAL STATUS

[Date of request for examination]

08.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-368543  
(P2002-368543A)  
(43) 公開日 平成14年12月20日 (2002.12.20)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	チーコード (参考)
H 0 3 D 7/00	6 2 1	H 0 3 D 7/00	B
H 0 3 H 17/00	6 1 5	H 0 3 H 17/00	6 2 1 E
			6 1 5 J

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号	特願2001-170502(P2001-170502)	(71) 出願人	000004226 日本電信電話株式会社
(22) 出願日	平成13年6月6日(2001.6.6)	(72) 発明者	東京都千代田区大手町二丁目3番1号 白戸 裕史 東京都千代田区大手町二丁目3番1号 日 本電信電話株式会社 (74) 代理人 100074066 弁理士 本間 崇

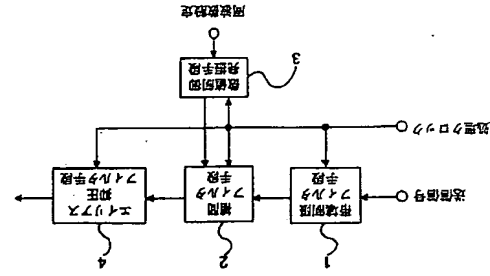
(54) 【発明の名称】 デジタルアップコンバータ

(57) 【要約】

【目的】 ソフトウェア無線機の構成要素となるデジタルアップコンバータの構成法に關し、広帯域信号が伝送可能であり、且つ簡潔な構成のハードウェアで実現できるデジタルアップコンバータの実現を目的とする。

【構成】 入力された信号に対して帯域制限を行う帯域制限フィルタ手段と、設定された値に基づいてシンボルレートを生成する数値制御発振手段と、前記帯域制限フィルタ手段の出力を入力とし、前記数値制御発振手段によって生成されたタイミング信号に基づいてシンボルレート変換を行う補間フィルタ手段と、核補間フィルタ手段の出力を入力とする不要高周波（エイリアス）抑圧用フィルタ手段を具備することにより構成する。

本発明によるデジタルアップコンバータの構成を示す図



【特許請求の範囲】

- 【請求項1】 入力された信号に対して帯域制限を行う帯域制限フィルタ手段と、  
設定された値に基づいてシンボルタイミング信号を生成する数値制御発振手段と、  
前記帯域制限フィルタ手段の出力を入力とし、前記数値制御発振手段によって生成されたタイミング信号に基づいてシンボルレート変換を行う補間フィルタ手段と、  
該補間フィルタ手段の出力を入力とする不要高周波（エイリアス）抑圧用フィルタ手段を具備することを特徴とするデジタルアップコンバータ。
- 【請求項2】 不要高周波抑圧用フィルタ手段の減衰特性を、予め帯域制限フィルタ手段の特性に逆特性として組み込んでおくことにより、通過帯域内の損失を補償する請求項1記載のデジタルアップコンバータ。
- 【請求項3】 不要高周波抑圧用フィルタ手段を、入力信号の値を保持するレジスタと、入力信号の値と前記レジスタに保持されている値を加えて出力する加算器とによって構成した請求項1記載のデジタルアップコンバータ。
- 【発明の詳細な説明】
- 【0001】
- 【発明の属する技術分野】 本発明は、制御ソフトウェアの変更により、無線機の制御方式や、バンド（周波数、帯域幅）等を柔軟に変更可能な、ソフトウェア無線機の構成要素となるデジタルアップコンバータの構成法に關する。
- 【0002】
- 【従来の技術】 ソフトウェア無線機とは、従来ハードウェアで構成されることが多かった無線機の各機能を、可能を限りデジタル信号処理で実現して、CPU (Central Processing Unit) やDSP (Digital Signal Processor) といった汎用のデジタル信号処理デバイス上で動作するソフトウェア、または、FPGA (Field Programmable Gate Array) をプログラミンングするためのデータとして実現する技術である。
- 【0003】 この技術を用いれば、従来固定とされてきた使用周波数や、制御方式等の無線機の動作パラメータなどを柔軟に変更することが可能となる。送受信に基き、ソフトウェア無線機を実現するためには、信号処理を行うプロセッサ等に要求される信号処理能力は、D/A変換器の動作速度に比例する。
- 【0004】 そのため、処理する信号自体が狭帯域であってもIF周波数やRF周波数の信号処理を行う場合には非常に高い処理能力を持つプロセッサを使用する必要がある。デジタルアップコンバータは、ソフトウェア無線機を実現するための構成要素の一つであり、帯域制限、シンボルレートの変換、周波数変換等の機能を有する。

- 【0005】 デジタルアップコンバータを用いることで、プロセッサは、送受信シンボルとは非同期的な高速のクロックを使用して信号処理を実行することができるだけでなく、プロセッサの出力データレートを低くすることで、プロセッサへの要求処理能力を低減することができる。
- 【0006】 図10に従来のデジタルアップコンバータの構成例を示す。本構成例のデジタルアップコンバータは、帯域制限フィルタ手段11および、シンボルタイミング信号を生成する数値制御発振手段13 (NCO: Numerical Controlled Oscillator) と、シンボルレートの変換を行う補間フィルタ手段12とからなる同波数変換器で構成される。
- 【0007】 入力された送信データ列は、帯域制限フィルタ手段11により帯域制限される。この帯域制限フィルタ手段11は、FIR (Finite Impulse Response) フィルタとして実現されることが多い。一方、数値制御発振手段13は、シンボルレートのタイミング信号を生成する。このタイミング信号に基づいて、補間フィルタ手段12は、帯域制限フィルタ手段11の出力に対してシンボルレートの変換を行う。
- 【0008】 補間フィルタ手段12の構成としては、FIRフィルタを用いる方法と、補間多項式に基づく方法が知られている。FIRフィルタを用いる方法については、文献1 (P. P. Vaidyanathan, "Multirate Systems and Filter Banks", Prentice Hall, 1993.) に詳細に述べられている。
- 【0009】 FIRフィルタを用いる方法では、位相の異なる出力を生成する複数のフィルタに分解し、各フィルタからの出力をNCOから得られる移送情報を用いて切り捨てることで所望の信号を得る。FIRフィルタを用いる補間フィルタの構成例として、図2に4倍の補間を行う補間フィルタの構成を図示する。
- 【0010】 図2は、FIRフィルタのタップ係数を  $h_i$  ( $i=0 \sim N-1$ ) とするとFIRフィルタの伝達関数  $R(z)$  は、"数1" で表される。補間フィルタの周波数特性は  $R(z)$  により決定される。
- 【0011】
- 【数1】
- $$R(z) = \sum_{i=0}^{N-1} h_i z^{-i}$$
- 【0012】  $R(z)$  は、"数2" のように分解することができ、分解された各フィルタの伝達関数  $R_0(z)$ 、 $R_1(z)$ 、 $R_2(z)$ 、 $R_3(z)$  は、"数3" ~ "数6" となる。
- 【0013】
- 【数2】

$$R(z) = R_0(z^4) + z^{-1}R_1(z^4) + z^{-2}R_2(z^4) + z^{-3}R_3(z^4)$$

【0014】

【数3】

$$R_0(z^4) = \sum_{i=0}^{N/4-1} h_{4i} z^{-4i}$$

【0017】

【数6】

$$R_3(z^4) = \sum_{i=0}^{N/4-1} h_{4i+3} z^{-4i}$$

【0015】

【数4】

$$R_1(z^4) = \sum_{i=0}^{N/4-1} h_{4i+1} z^{-4i}$$

【0018】 NCOは、シンボルタイミングと、シンボルタイミング時点における位相ずれ $\mu$ を出力する。その位相ずれ $\mu$ の大きさ(0~2 $\pi$  [rad])により、4つのフィルタ出力を切り替える。即ち、出力 $y(k)$ は“数9”で与えられる。

【0016】

【数5】

$$R_2(z^4) = \sum_{i=0}^{N/4-1} h_{4i+2} z^{-4i}$$

$$y(k) = \begin{cases} \sum_{i=0}^{N/4-1} h_{4i} x(k-i) & ; 0 \leq \mu < \pi/2 \\ \sum_{i=0}^{N/4-1} h_{4i+1} x(k-i) & ; \pi/2 \leq \mu < \pi \\ \sum_{i=0}^{N/4-1} h_{4i+2} x(k-i) & ; \pi \leq \mu < 3\pi/2 \\ \sum_{i=0}^{N/4-1} h_{4i+3} x(k-i) & ; 3\pi/2 \leq \mu < 2\pi \end{cases}$$

【0020】 一方、前記補間多項式に基づく方法については、文献2(：Lars Erup, Floyd Gardner, Robert A. Harris, “Interpolation in Digital Modems-Part II: Implementation and Performance”, IEEE Trans. on Commun. Vol.41, No.6, June 1993.)に詳しく述べられている。

【0021】 この方法では、NCOからの位相情報に基づいて入力された信号の時間的に隣接したシンボルを、補間多項式により補間して所望の信号を得ている。図3に3次補間多項式を用いた補間フィルタの構成を示す。FIRフィルタによる構成の場合と同様、NCOよりシンボルタイミングとシンボルタイミング時点における位相ずれ $\mu$  (0~1, 0 [symbol]) が入力される。補間フィルタ出力 $y(k)$ は、 $\mu$ の3次関数として“数8”“数9”で表される。

【0022】

$L_0(i)$				
$i$	$i=0$	$i=1$	$i=2$	$i=3$
0	0	-1/6	0	1/6
1	0	1	1/2	-1/2
2	1	-1/2	-1	1/2
3	0	-1/3	1/2	-1/6

【0026】 一般に、 $L_1(i)$ の各値は、簡単な分数で表されるため、多項式の次数をうまく選べば、“数9”中の乗算は、ビットシフト等で簡易化することができ、実質的に必要な乗算器の数は少なくて済む。以上のことから、FIRフィルタによる補間フィルタと比べて、補間多項式による補間フィルタは、構成が簡易であるという特徴を持つことが分かる。その反面、後者は通過帯域外でリップル状のゲインを持つという特性がある。

【0027】

【説明が解決しようとする課題】 補間フィルタの同波数特性が伝達しようとする信号の通過帯域外にゲインを持つと、信号のイメージ成分が不要高周波(エイリアス)として隣接するチャネルに悪影響をもたらす。FIRフィルタによる補間フィルタでは、良好なエイリアス抑圧特性を実現するにはタップ数を多くする必要がある。そのため、回路規模が大きくなり、また、処理遅延の増大を招くという課題があった。

【0028】 一方、補間多項式に基づく方法では、構成は簡易であるが通過帯域外にリップル状のゲインを持つため、高いエイリアス抑圧特性を実現できないという課題があった。本発明は、広帯域信号が伝送可能であり、且つ簡潔な構成のハードウェアで実現できるデジタルアップコンバータを提供することを目的とする。

【0029】

【課題を解決するための手段】 本発明によれば、上述の課題は、前記特許請求の範囲に記載した手段によって解決される。すなわち、請求項1の発明は、入力された信号に対して帯域制限を行う帯域制限フィルタ手段と、設定された値に基づいてシンボルタイミング信号を生成する数値制御発振手段と、前記帯域制限フィルタ手段の出力を入力とし、前記数値制御発振手段によって生成されたタイミング信号に基づいてシンボルレート変換を行う補間フィルタ手段と、該補間フィルタ手段の出力を入力とする不要高周波(エイリアス)抑圧用フィルタ手段を具備するデジタルアップコンバータである。

【0030】 請求項2の発明は、請求項1記載のディ

タルアップコンバータにおいて、不要高周波抑圧用フィルタ手段の減衰特性を、予め帯域制限フィルタ手段の特性に逆特性として織り込んでおくことによって、通過帯域内の損失を補償するように構成したものである。

【0031】 請求項3の発明は、請求項1記載のディジタルアップコンバータにおいて、不要高周波抑圧用フィルタ手段を、入力信号の値を保持するレジスタと、入力信号の値と前記レジスタに保持されている値を加えて出力する加算器とによって構成したものである。このとき、例えば、レジスタに保持されている1ビット前、あるいは、2ビット以上前の値と、入力信号の値とが加算器から出力される。

【0032】 上述のように、本発明においては、補間フィルタ手段の後段にエイリアス抑圧のためのフィルタ手段を具備することを特徴とする。なお、本発明の目的からも、ディジタルアップコンバータは、ディジタル的に簡単に実現できる必要があるが、本発明によれば、簡潔な構成のフィルタによりエイリアスを抑圧することができ、るので、簡易で且つ良好なエイリアス抑圧特性を備えたディジタルアップコンバータが実現できる。

【0033】

【発明の実施の形態】 図1は本発明による実施の形態を示す図である。帯域制限フィルタ手段1として $\alpha=0$ のルートローパスフィルタをFIRフィルタで実現し、2次補間多項式による補間フィルタ手段2、数値制御発振手段3からなる同波数変換器を備えている。前記補間フィルタ手段2そのものは、前記文献2に詳細に示されている。

【0034】 本実施の形態では、入力信号として4倍のオーバーサンプリングした信号を用いている。即ち、処理クロックの周波数 $f_{proc}$ は、補間フィルタ手段2によるレート変換前のシンボルレートの4倍である。また、補間フィルタ手段2ではシンボルレートを1.1倍に上げるものとした。本補間フィルタ手段2の構成を図4に、多項式の係数 $L_1(i)$ を“数2”にそれぞれ示す。

【0035】

【表2】

$L(i)$		
$i$	$i=0$	$i=2$
0	0	$-1/2$
1	0	$3/2$
2	1	$-1/2$
3	0	$1/2$

【0036】補間フィルタの周波数特性は、図5中の一点鎖線のようになる。また、補間フィルタによるエイリアス抑圧特性を明らかにするため、図5には2倍のオーバーサンプリング（サンプリングレート＝シンボルレート×2；虚数条件）した帯域制限のない信号（破線）を入力した場合の、信号及びエイリアスの周波数スペクトル（実線）を併記した。

【0037】本補間フィルタ手段2の各係数は、0、±1/2、1、3/2のいずれかであり、“数9”に必要な乗算は、ビットシフト及び加減算器で実現可能である。補間フィルタ手段2の出力周波数スペクトルを図6に示す。図6より、補間フィルタ手段2の出力では帯域外にエイリアスが発生していることが分る。

【0038】エイリアス抑圧フィルタ手段4は、簡易な構成のフィルタである必要があるが、ここでは、図7に示すフィルタを使用する。このフィルタの周波数特性は、図8に示すようになる。このエイリアス抑圧フィルタ4の使用に伴って通過帯域内で若干信号が減衰するが、予め帯域制限フィルタ手段1を設計する際にその逆特性を織り込んでおくことでこれを補償することができ

る。

【0039】本実施の形態で示したエイリアス抑圧フィルタ手段4は加算器とレジスタのみで構成可能であり、非常に簡易で且つ高速度動作が可能である。エイリアス抑圧フィルタ手段4の通過帯域内特性を保証した場合の、本実施の形態による装置出力での周波数スペクトルを図9に示す。これにより本実施の形態では、信号成分に対してエイリアスの抑圧度を-55dB以上確保することが可能である。

【0040】

【発明の効果】以上説明したように、本発明によれば、従来のデジタルアップコンパータと同様な構成のディ

ジタルアップコンパータに、簡潔な構成のフィルタを付加することによりエイリアスを抑圧することが可能であるため、簡易で、且つ良好なエイリアス抑圧特性を備えたデジタルアップコンパータを容易に実現できる利点がある。

【図面の簡単な説明】

【図1】本発明によるデジタルアップコンパータの構成の例を示す図である。

【図2】FIRフィルタを用いた補間フィルタの構成の例を示す図である。

【図3】3次補間多項式を用いた補間フィルタの構成の例を示す図である。

【図4】2次補間多項式を用いた補間フィルタの構成の例を示す図である。

【図5】補間フィルタの周波数特性と信号及びエイリアスの周波数スペクトルを示す図である。

【図6】補間フィルタ出力の周波数スペクトルを示す図である。

【図7】本発明の実施の形態におけるエイリアス抑圧フィルタの構成の例を示す図である。

【図8】本発明による実施の形態におけるエイリアス抑圧フィルタの周波数特性を示す図である。

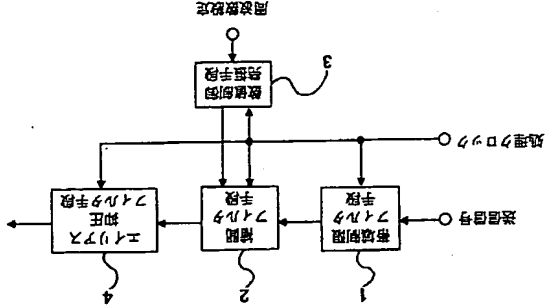
【図9】本発明による実施の形態における総合特性を示す図である。

【図10】従来のデジタルアップコンパータの構成の例を示す図である。

- 【符号の説明】
- 1、11 帯域制限フィルタ手段
  - 2、12 補間フィルタ手段
  - 3、13 数値制御発振手段
  - 4 エイリアス抑圧フィルタ手段

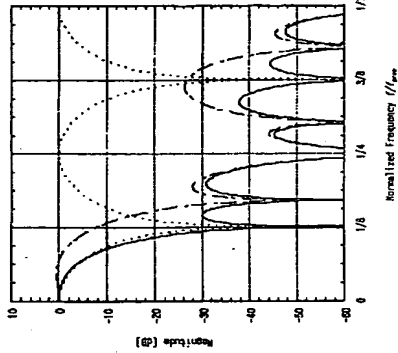
【図1】

本発明によるデジタルアップコンパータの構成の例を示す図



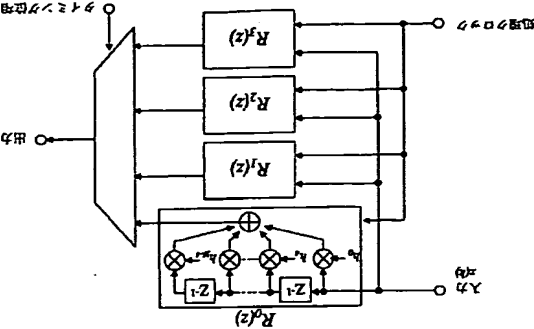
【図5】

補間フィルタの周波数特性と信号及びエイリアスの周波数スペクトルを示す図



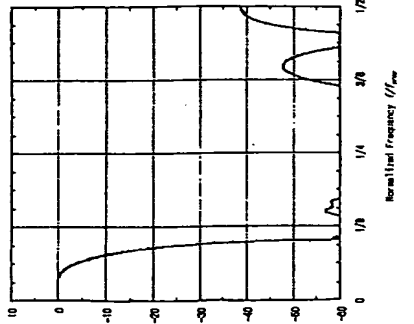
【図2】

FIRフィルタを用いた補間フィルタの構成の例を示す図



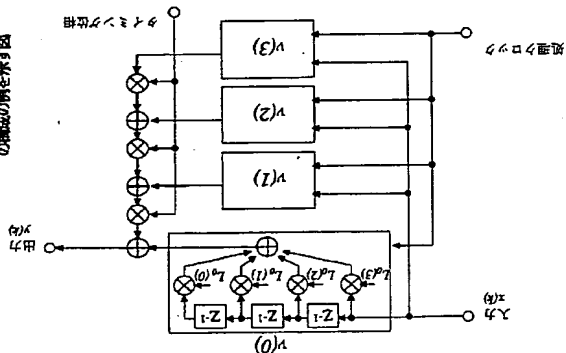
【図6】

補間フィルタ出力の周波数スペクトルを示す図



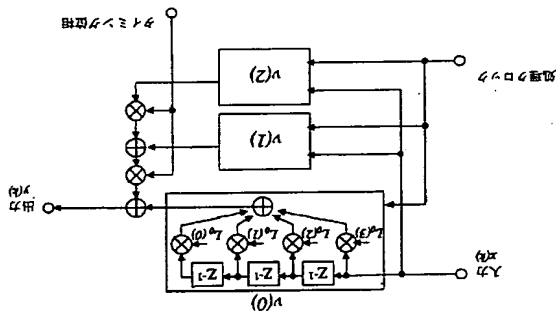
【図3】

3次補間多項式を用いた離散フィルタの構成の例を示す図



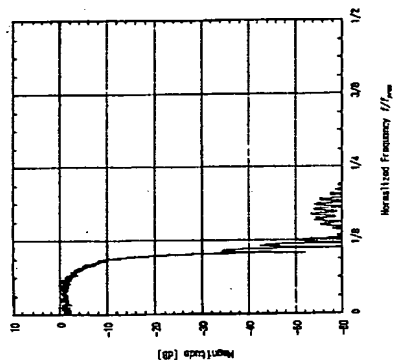
【図4】

2次補間多項式を用いた離散フィルタの構成の例を示す図



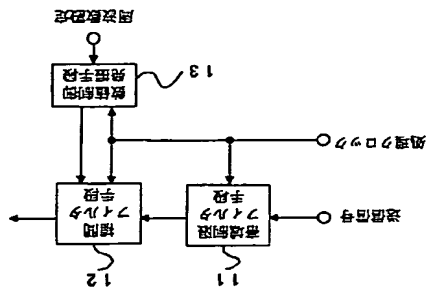
【図9】

本発明による変調の形態における結合特性を示す図



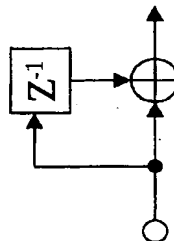
【図10】

従来のデジタルアップコンバータの構成の例を示す図



【図7】

本発明の変調の形態におけるエイリアス抑圧フィルタの構成の例を示す図



【図8】

本発明による変調の形態におけるエイリアス抑圧フィルタの周波数特性を示す図

